

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-355280

(43)Date of publication of application : 24.12.1999

(51)Int.Cl. H04L 12/28  
H04L 7/00  
H04L 7/08  
H04Q 3/00

(21)Application number : 10-155547 (71)Applicant : MITSUBISHI ELECTRIC CORP  
(22)Date of filing : 04.06.1998 (72)Inventor : TANAKA KENTARO  
NAKAJIMA KOICHI  
YAMADA HIROTOSHI

## (54) SOURCE CLOCK REPRODUCING DEVICE, DATA TRANSMISSION EQUIPMENT, DATA RECEPTION EQUIPMENT AND DATA TRANSMISSION SYSTEM

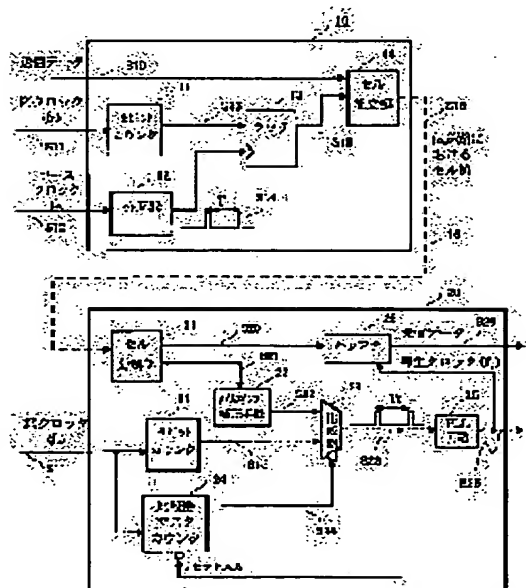
### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a stable reproduced clock by reproducing a cycle while using a correction time stamp and a count value outputted from a counter, and reproducing a source clock while using the reproduced cycle.

**SOLUTION:** Data transmission equipment 10 transmits a transmission time stamp S15 as the differential information of a count value S13 provided by counting up a mesh clock S11 and a cycle TS 14

provided by dividing the frequency of a source clock S12 through a transmission line 15. A time stamp correcting means 22

at data reception equipment 20 corrects the received transmission time stamp S15 and outputs a corrected time stamp S22. A four-bit counter 11 counts up the mesh clock S11 and outputs the count value S13. A comparator 23 reproduces the cycle while using the corrected time



stamp S22 and count value S13 and outputs a reproduced cycle TrS22. A PLL circuit 25 reproduces the source clock S12 while using the reproduced cycle TrS22 and outputs a reproduced clock S25.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision  
of rejection or application  
converted registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-355280

(43)公開日 平成11年(1999)12月24日

(51)IntCl. <sup>6</sup>	識別記号	FI
H 0 4 L 12/28		H 0 4 L 11/20 D
7/00		7/00 Z
7/08		7/08 Z
H 0 4 Q 3/00		H 0 4 Q 3/00

審査請求 未請求 請求項の数9 OL (全 17 頁)

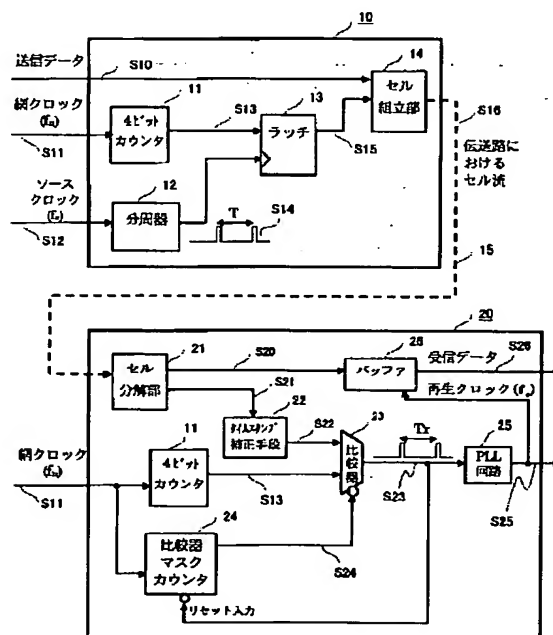
(21)出願番号	特願平10-155547	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成10年(1998)6月4日	(72)発明者	田中 健太郎 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72)発明者	中島 宏一 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72)発明者	山田 浩利 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74)代理人	弁理士 宮田 金雄 (外2名)

(54)【発明の名称】 ソースクロック再生装置、データ送信装置、データ受信装置及びデータ伝送システム

## (57)【要約】

【課題】 いかなる状態においても再生クロックの乱れを抑え、再生クロックのジッタを軽減することを目的とする。

【解決手段】 網クロックをカウントアップして得られるカウント値とソースクロックを分周して得られる周期との差分情報でなる送信側で生成、送信されるタイムスタンプを伝送路を介して受信し、当該受信されたタイムスタンプを補正して補正タイムスタンプを出力するタイムスタンプ補正手段と、上記網クロックをカウントアップしてカウント値を出力するカウンタと、上記タイムスタンプ補正手段から出力される補正タイムスタンプと上記カウンタから出力されるカウント値とを用いて上記周期を再生し、再生周期を出力する比較器と、上記比較器から出力される再生周期を用いて上記ソースクロックを再生し、再生クロックを出力するPLL回路とを備える。



## 【特許請求の範囲】

【請求項1】 網クロックをカウントアップして得られるカウント値とソースクロックを分周して得られる周期との差分情報でなる送信側で生成、送信されるタイムスタンプを伝送路を介して受信し、当該受信されたタイムスタンプを補正して補正タイムスタンプを出力するタイムスタンプ補正手段と、上記網クロックをカウントアップしてカウント値を出力するカウンタと、上記タイムスタンプ補正手段から出力される補正タイムスタンプと上記カウンタから出力されるカウント値とを用いて上記周期を再生し、再生周期を出力する比較器と、上記比較器から出力される再生周期を用いて上記ソースクロックを再生し、再生クロックを出力するPLL回路とを備えることを特徴とするソースクロック再生装置。

【請求項2】 上記補正タイムスタンプを出力するタイムスタンプ補正手段は、順次受信される複数の上記タイムスタンプのうち一定周期間隔で受信される2つのタイムスタンプの差分を計算し、当該計算差分値を出力する差分計算回路と、あらかじめ設定されるデフォルト差分値を出力するデフォルト出力手段と、上記差分計算回路から出力される計算差分値と上記デフォルト出力手段から出力されるデフォルト差分値のいずれかを選択し、差分値として出力するセレクトと、前回出力した上記補正タイムスタンプに上記セレクトから出力される差分値を加算して新たな補正タイムスタンプを再帰的に生成して出力する加算器とを備えることを特徴とする請求項1に記載のソースクロック再生装置。

【請求項3】 上記タイムスタンプ補正手段は、リセット時及び又は上記伝送路における障害発生時に検出信号を上記セレクトに出力する検出手段を備え、上記セレクトは、上記検出手段から出力される検出信号に基づいて上記デフォルト差分値を選択するように構成されることを特徴とする請求項2に記載のソースクロック再生装置。

【請求項4】 上記タイムスタンプ補正手段は、上記差分計算回路から出力される計算差分値が所定の許容設定範囲の値であるかを判定し、上記所定の許容設定範囲以外の値である時に不正検出信号を上記セレクトに出力する差分判定手段を備え、上記セレクトは、上記差分判定手段から出力される不正検出信号に基づいて上記デフォルト差分値を選択するように構成されることを特徴とする請求項2に記載のソースクロック再生装置。

【請求項5】 上記補正タイムスタンプを出力するタイムスタンプ補正手段は、順次受信される複数の上記タイムスタンプのうち一定周期間隔で受信される2つのタイムスタンプの差分を計算し、当該計算差分値を出力する差分計算回路と、上記差分計算回路から出力される計算差分値を記憶するレジスタと、上記レジスタに記憶される計算差分値を含む複数の計算差分値を加算して総差分値を出力する第1加算器と、前回出力した上記補正タイ

ムスタンプに上記第1加算器から出力される総差分値を加算して新たな補正タイムスタンプを再帰的に生成して出力する第2加算器とを備え、上記カウンタは、上記網クロックを入力として、上記第1加算器で加算される計算差分値の数に対応するクロックを生成するクロック生成手段とを備え、上記クロック生成手段で生成されるクロックでカウントアップしてカウント値を出力するように構成されることを特徴とする請求項1に記載のソースクロック再生装置。

【請求項6】 上記受信されたタイムスタンプを一旦蓄積し、上記PLL回路から出力される再生クロックに従って当該タイムスタンプを上記タイムスタンプ補正手段に出力するタイムスタンプバッファを備えることを特徴とする請求項1に記載のソースクロック再生装置。

【請求項7】 網クロックをカウントアップして得られるカウント値とソースクロックを分周して得られる周期との差分情報でなるタイムスタンプを生成する送信タイムスタンプ生成手段と、複数の伝送データと上記送信タイムスタンプ生成手段で生成されるタイムスタンプとを用いて複数のセルを組み立てて送信する際に、上記タイムスタンプを構成する同一のタイムスタンプ情報を複数のセルにマッピングするセル組立部とを備えることを特徴とするデータ送信装置。

【請求項8】 網クロックをカウントアップして得られるカウント値とソースクロックを分周して得られる周期との差分情報でなるタイムスタンプと伝送データとを含むセルを伝送路を介して受信し、当該セルを分解してタイムスタンプと伝送データを出力するセル分解部と、上記セル分解部から出力されるタイムスタンプを構成する複数の同一のタイムスタンプ情報のいずれかを参照して上記タイムスタンプ情報を補い、当該タイムスタンプを補正して補正タイムスタンプを出力するタイムスタンプ補正手段と、上記網クロックをカウントアップしてカウント値を出力するカウンタと、上記タイムスタンプ補正手段から出力される補正タイムスタンプと上記カウンタから出力されるカウント値とを用いて上記周期を再生し、再生周期を出力する比較器と、上記比較器から出力される再生周期を用いて上記ソースクロックを再生し、再生クロックを出力するPLL回路と、上記セル分解部から出力される伝送データを一旦蓄積し、上記PLL回路から出力される再生クロックに従って当該伝送データを出力するバッファとを備えることを特徴とするデータ受信装置。

【請求項9】 データ送信装置は、網クロックをカウントアップして得られるカウント値とソースクロックを分周して得られる周期の差分情報でなるタイムスタンプを生成する送信タイムスタンプ生成手段と、伝送データと上記送信タイムスタンプ生成手段で生成されるタイムスタンプとを用いてセルを組み立てて送信する際に、上記タイムスタンプを構成する同一のタイムスタンプ情報を

複数のセルにマッピングするセル組立部とを備え、データ受信装置は、上記セル組立部で組み立てられ、伝送路を介して送信されたセルを分解し、タイムスタンプと伝送データとを出力するセル分解部と、上記セル分解部から出力されたタイムスタンプを構成する複数の同一のタイムスタンプ情報のいずれかを参照して上記タイムスタンプ情報を補い、当該タイムスタンプを補正して補正タイムスタンプを出力するタイムスタンプ補正手段と、上記細クロックをカウントアップしてカウント値を出力するカウンタと、上記タイムスタンプ補正手段から出力される補正タイムスタンプと上記カウンタから出力されるカウント値とを用いて上記周期を再生し、再生周期を出力する比較器と、上記比較器から出力される再生周期を用いて上記ソースクロックを再生し、再生クロックを出力するPLL回路と、上記セル分解部から出力される伝送データを一旦蓄積し、上記PLL回路から出力される再生クロックに従って当該伝送データを出力するバッファとを備えることを特徴とするデータ伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、送信側のソースクロック周波数を受信側で再生するソースクロック再生装置、データ送信装置、データ受信装置及びデータ伝送システムに関し、例えば、データ送信装置におけるソースクロックをタイムスタンプによって伝送し、データ受信装置でそのタイムスタンプからソースクロックを再生するソースクロック再生装置、及び、そのソースクロック再生装置を用いるデータ伝送システムに関するものである。

【0002】

【従来の技術】近年、ネットワークに対する高速化、マルチメディア化への要求が高まり、ATM (Asynchronous Transfer Mode: 非同期転送モード) 技術の導入が進められている。しかし一方では、音声通信やテレビ会議等の既存のSTM回線サービスがあり、ATM網の普及に伴い、これらの回線サービスをATM網へ収容していく必要がある。ATM網を介して前記既存のSTM回線サービスを実現するには、送信側と受信側で回線のクロックを同期させる技術、すなわちソースクロック再生技術が必要となる。

【0003】従来のソースクロック再生技術として、例えば、特開平8-8918に開示されるクロック再生回路がある。図18は、従来のクロック再生回路の構成を示すブロック図である。図18を用いて動作を説明する。

【0004】ATM伝送系S1によって伝送されてくる伝送情報であるセルが受信されると、SAR (Segmentation And Reassembly sublayer) ヘッダ分離部1においてSARヘッダS2が分離される。SARヘッダ分離部1で分離されるSARヘッダS2は、規定のフォーマッ

トにより、シーケンス番号と、周波数差分情報と、シーケンス番号及び周波数差分情報を保護するシーケンス番号保護とで構成されている。

【0005】シーケンス番号は、送信側においてセルの発生順に付加される番号系列である。シーケンス番号周波数差分情報検出部2により、SARヘッダ分離部1で分離されたSARヘッダS2からシーケンス番号S3と周波数差分情報S4が検出される。検出されたシーケンス番号S3はシーケンス番号監視部3によって監視され、シーケンス番号S3の不連続によりセル廃棄が検出される。そして、シーケンス番号監視部3からセル廃棄の有無がシーケンス番号監視結果信号S5として出力される。また、周波数差分情報管理予測処理部4によってシーケンス番号監視結果信号S5により、受信された周波数差分情報S4の管理が行われる。

【0006】ここで、セル廃棄あるいはセル遅延が発生しない通常の場合は、周波数差分情報管理予測処理部4から出力される周波数差分情報管理信号S6によって、受信された周波数差分情報S4が、メモリ5に記録されている最古の周波数差分情報の代わりに記録され、メモリ5にはM周期目の周波数差分情報と(M-1)周期目の周波数差分情報が記録される。

【0007】また、M周期目の周波数差分情報を多重したセルの廃棄が発生した場合は、シーケンス番号監視部3からセル廃棄の発生を検知したシーケンス番号監視結果信号S5が周波数差分情報管理予測処理部4に対して出力される。すると、周波数差分情報管理予測処理部4によって、メモリ5に記録されているM周期目より前で正確に受信されたN周期目の周波数差分情報S4を用いてM周期目の周波数差分情報の予測値が演算処理により求められ、求められた周波数差分情報予測値S7はクロック再生部6に出力される。そして、クロック再生部6で周波数差分情報予測値S7を用いてソースクロックS9が再生される。

【0008】以上のように、従来のクロック再生回路によれば、ATM伝送系においてセル廃棄が発生した場合でも、このセル廃棄によるソースクロックの再生への影響の波及を抑制することができ、ソースクロックを安定して再生することができる。

【0009】

【発明が解決しようとする課題】しかしながら、従来のクロック再生回路は、そのクロック再生回路を備える装置の初期起動時に受信側の再生クロックが乱れるという問題があった。すなわち、従来のクロック再生回路は、セル廃棄あるいはセル遅延が発生しない正常時に受信した周波数差分情報を記憶し、セル廃棄やセル遅延等が発生した際に、上記正常時に記憶しておいた周波数差分情報を用いてクロックを再生する。したがって、初期起動時は受信側に周波数差分情報が記憶される前の状態であるため、再生クロックが乱れる。

【0010】また、受信側で再生する再生クロックには、必ずジッタが発生するという問題があった。すなわち、ATM伝送系において、クロックを再生する際に用いる周波数差分情報は、送信側でデジタル的に近似されているため、再生クロックを送信側のクロックと完全に一致させることはできないのである。

【0011】この発明は上記のような問題点を解決するためになされたもので、いかなる状態（正常時、初期起動時、リセット時、セル廃棄発生時、障害発生時、不正タイムスタンプ受信時、セル遅延時等）においても再生クロックの乱れを抑えることができ、再生クロックのジッタを軽減できるソースクロック再生装置、データ送信装置、データ受信装置及びデータ伝送システムを得ることを目的とする。

【0012】

【課題を解決するための手段】本発明に係るソースクロック再生装置は、網クロックをカウントアップして得られるカウント値とソースクロックを分周して得られる周期との差分情報でなる送信側で生成、送信されるタイムスタンプを伝送路を介して受信し、当該受信されたタイムスタンプを補正して補正タイムスタンプを出力するタイムスタンプ補正手段と、上記網クロックをカウントアップしてカウント値を出力するカウンタと、上記タイムスタンプ補正手段から出力される補正タイムスタンプと上記カウンタから出力されるカウント値とを用いて上記周期を再生し、再生周期を出力する比較器と、上記比較器から出力される再生周期を用いて上記ソースクロックを再生し、再生クロックを出力するPLL回路とを備えるものである。

【0013】また、次の発明に係るソースクロック再生装置は、上記補正タイムスタンプを出力するタイムスタンプ補正手段に、順次受信される複数の上記タイムスタンプのうち一定周期間隔で受信される2つのタイムスタンプの差分を計算し、当該計算差分値を出力する差分計算回路と、あらかじめ設定されるデフォルト差分値を出力するデフォルト出力手段と、上記差分計算回路から出力される計算差分値と上記デフォルト出力手段から出力されるデフォルト差分値のいずれかを選択し、差分値として出力するセレクタと、前回出力した上記補正タイムスタンプに上記セレクタから出力される差分値を加算して新たな補正タイムスタンプを再帰的に生成して出力する加算器とを備えるものである。

【0014】また、次の発明に係るソースクロック再生装置は、上記タイムスタンプ補正手段に、リセット時及び又は上記伝送路における障害発生時に検出信号を上記セレクタに出力する検出手段を備え、上記セレクタは、上記検出手段から出力される検出信号に基づいて上記デフォルト差分値を選択するように構成されるものである。

【0015】また、次の発明に係るソースクロック再生

装置は、上記タイムスタンプ補正手段に、上記差分計算回路から出力される計算差分値が所定の許容設定範囲の値であるかを判定し、上記所定の許容設定範囲以外の値である時に不正検出信号を上記セレクタに出力する差分判定手段を備え、上記セレクタは、上記差分判定手段から出力される不正検出信号に基づいて上記デフォルト差分値を選択するように構成されるものである。

【0016】また、次の発明に係るソースクロック再生装置は、上記補正タイムスタンプを出力するタイムスタンプ補正手段に、順次受信される複数の上記タイムスタンプのうち一定周期間隔で受信される2つのタイムスタンプの差分を計算し、当該計算差分値を出力する差分計算回路と、上記差分計算回路から出力される計算差分値を記憶するレジスタと、上記レジスタに記憶される計算差分値を含む複数の計算差分値を加算して総差分値を出力する第1加算器と、前回出力した上記補正タイムスタンプに上記第1加算器から出力される総差分値を加算して新たな補正タイムスタンプを再帰的に生成して出力する第2加算器とを備え、上記カウンタは、上記網クロックを入力として、上記第1加算器で加算される計算差分値の数に対応するクロックを生成するクロック生成手段とを備え、上記クロック生成手段で生成されるクロックでカウントアップしてカウント値を出力するように構成されるものである。

【0017】また、次の発明に係るソースクロック再生装置は、上記受信されたタイムスタンプを一旦蓄積し、上記PLL回路から出力される再生クロックに従って当該タイムスタンプを上記タイムスタンプ補正手段に出力するタイムスタンプバッファを備えるものである。

【0018】さらにまた、次の発明に係るデータ送信装置は、網クロックをカウントアップして得られるカウント値とソースクロックを分周して得られる周期との差分情報でなるタイムスタンプを生成する送信タイムスタンプ生成手段と、複数の伝送データと上記送信タイムスタンプ生成手段で生成されるタイムスタンプとを用いて複数のセルを組み立てて送信する際に、上記タイムスタンプを構成する同一のタイムスタンプ情報を複数のセルにマッピングするセル組立部とを備えるものである。

【0019】さらにまた、次の発明に係るデータ受信装置は、網クロックをカウントアップして得られるカウント値とソースクロックを分周して得られる周期との差分情報でなるタイムスタンプと伝送データとを含むセルを伝送路を介して受信し、当該セルを分解してタイムスタンプと伝送データを出力するセル分解部と、上記セル分解部から出力されるタイムスタンプを構成する複数の同一のタイムスタンプ情報のいずれかを参照して上記タイムスタンプ情報を補い、当該タイムスタンプを補正して補正タイムスタンプを出力するタイムスタンプ補正手段と、上記網クロックをカウントアップしてカウント値を出力するカウンタと、上記タイムスタンプ補正手段から

出力される補正タイムスタンプと上記カウンタから出力されるカウント値とを用いて上記周期を再生し、再生周期を出力する比較器と、上記比較器から出力される再生周期を用いて上記ソースクロックを再生し、再生クロックを出力するPLL回路と、上記セル分解部から出力される伝送データを一旦蓄積し、上記PLL回路から出力される再生クロックに従って当該伝送データを出力するバッファとを備えるものである。

【0020】さらにまた、次の発明に係るデータ伝送システムは、データ送信装置に、網クロックをカウントアップして得られるカウント値とソースクロックを分周して得られる周期の差分情報でなるタイムスタンプを生成する送信タイムスタンプ生成手段と、伝送データと上記送信タイムスタンプ生成手段で生成されるタイムスタンプとを用いてセルを組み立てて送信する際に、上記タイムスタンプを構成する同一のタイムスタンプ情報を複数のセルにマッピングするセル組立部とを備え、データ受信装置に、上記セル組立部で組み立てられ、伝送路を介して送信されたセルを分解し、タイムスタンプと伝送データを出力するセル分解部と、上記セル分解部から出力されたタイムスタンプを構成する複数の同一のタイムスタンプ情報のいずれかを参照して上記タイムスタンプ情報を補い、当該タイムスタンプを補正して補正タイムスタンプを出力するタイムスタンプ補正手段と、上記網クロックをカウントアップしてカウント値を出力するカウンタと、上記タイムスタンプ補正手段から出力される補正タイムスタンプと上記カウンタから出力されるカウント値とを用いて上記周期を再生し、再生周期を出力する比較器と、上記比較器から出力される再生周期を用いて上記ソースクロックを再生し、再生クロックを出力するPLL回路と、上記セル分解部から出力される伝送データを一旦蓄積し、上記PLL回路から出力される再生クロックに従って当該伝送データを出力するバッファとを備えるものである。

【0021】

【発明の実施の形態】実施の形態1. 以下、本発明の実施の形態について図面を用いて説明する。なお、実施の形態においては、送信されるタイムスタンプを送信タイムスタンプ、受信されるタイムスタンプを受信タイムスタンプ、送信される伝送データを送信データ、受信される伝送データを受信データとして説明する。

【0022】図1は、本発明の一実施の形態に係るデータ伝送システムの構成を示すブロック図である。図1において、10は、ATM網においてデータ通信を行うデータ送信装置であり、20は、データ受信装置である。

【0023】11は、網クロックS11でカウントアップし、カウント値S13を出力するカウンタであり、ここでは4ビットカウンタを用いる。12は、ソースクロックS12を分周し、所定の周期パルスを生成する分周器であり、ここでは、周期パルスとして周期T S14

10

20

30

40

50

を出力する。

【0024】13は、上記分周器12で生成される上記周期パルスの周期T S14毎に上記4ビットカウンタ11から出力されるカウント値S13をラッチ（保持）して、上記網クロックS11と上記ソースクロックS12を分周して得られる周期TS14との差分情報である送信タイムスタンプS15を出力するラッチである。なお、本実施の形態において送信タイムスタンプ生成手段は、上記4ビットカウンタ11、分周器12及びラッチ13から構成される。

【0025】14は、送信データS10と上記ラッチ13から出力される送信タイムスタンプS15を用いてセルS16を組み立てて送信するセル組立部である。15は、上記セル組立部14で組み立てられるセルS16を伝送する伝送路である。

【0026】21は、上記伝送路15を介して上記データ送信装置10から送信されるセルS16を分解し、受信データS20と受信タイムスタンプS21を出力するセル分解部である。22は、上記セル分解部21から順次出力される受信タイムスタンプS21のうち連続する2つの受信タイムスタンプS21の差分を計算し、その差分値を用いて補正タイムスタンプS22を補正して出力するタイムスタンプ補正手段である。

【0027】23は、後述する比較器マスクカウンタ24から出力されるイネーブル信号S24がアサートされている間、データ受信装置20の4ビットカウンタ11から出力されるカウンタ値S13と上記タイムスタンプ補正手段22から出力される補正タイムスタンプS22とを比較して一致検出し、上記分周器12から出力された周期T S14を再生して再生周期Tr S23を出力する比較器である。

【0028】24は、上記比較器23の動作を一定期間無効とする比較器マスクカウンタであり、網クロックS11でカウントアップして所定のしきい値を超えるとイネーブル信号S24をアサートし、上記比較器23から再生周期Tr S23が出力されるとカウントをリセットする。

【0029】25は、上記比較器23から出力される再生周期Tr S23を用いて位相帰還ループによってクロックを再生し、再生クロックS25を出力するPLL回路（Phase Lock Loop回路）である。26は、上記セル分解部21から出力される受信データS20を一旦蓄積し、上記PLL回路25から出力される再生クロックS25に従って受信データS26を出力するバッファである。

【0030】次に、動作について説明する。なお、簡略化のため、ソースクロックS12が1.544MHzの場合を例として説明するが、ソースクロック周波数の範囲を限定するものではない。また、ATM網における基本伝送レートは155.52Mbpsまたは622.0

8Mbpsであるが、TTC標準JT-1363によれば、網クロックS11の周波数を $f_n$ 、ソースクロックS12の周波数を $f_s$ とした場合、 $1 < f_n / f_s \leq 2$ という制限がある。

【0031】このためここでは、網クロックS11の周波数は、155.52MHzを2の-6乗した2.43MHzとする。また、TTC標準JT-1363に基づいて、カウンタとして4ビットカウンタ11を用い、タイムスタンプのビット幅を4とした場合について説明するが、それ以外のカウンタ、タイムスタンプのビット幅であって良いことは言うまでもない。

【0032】データ送信装置10において、まず、4ビットカウンタ11から、網クロックS11で無条件にカウントアップしたカウント値S13が出力される。一方、分周器12から、ソースクロックS12を分周して得られる周期T S14が出力される。本実施の形態において、この周期T S14は、8セル分のデータ送出期間である。

【0033】すると、ラッチ13で上記分周器12から出力される周期T S14毎に上記4ビットカウンタ11から出力されるカウント値S13がラッチされ、送信タイムスタンプS15としてセル組立部14に出力される。

【0034】本実施の形態において送信タイムスタンプの値は、網クロック換算による周期Tの周期数に前回の送信タイムスタンプの値を加算し、16で割った余りである。前述のように周期T S14は、セルS16の8セル分の送出期間に相当し、ソースクロック周波数の3008クロック分、すなわち1.948msである。これを網クロック換算すると、その値は47.33または47.34となる。この値に前回の送信タイムスタンプの値を加算し、16で割った余りが今回の送信タイムスタンプの値となる。

【0035】上記ラッチ13から送信タイムスタンプS15がセル組立部14に出力されると、セル組立部14において、伝送データS10と上記送信タイムスタンプS15を用いてセルS16が組み立てられ、そのセルS16は伝送路15を介してデータ受信装置20に送出される。

【0036】図2はAAL(ATMアダプテーションレイヤ)タイプ1による53バイト長のセルの構成を示す概念図である。図2において、D1はATM伝送のヘッダ情報を格納する5バイトのATMヘッダ、D2は伝送情報のヘッダ情報を格納する1バイトのSAR-PDUヘッダ(Segmentation And Reassembly-Protocol Data Unitヘッダ)、D3は送信データを格納するSAR-PDUペイロード、D4はタイムスタンプを格納するCSIビット(Convergence Sublayer Indicationビット)、D5はシーケンス番号を格納するSCフィールド(Sequenceフィールド)、D6は巡回冗長検査に用いる

CRCフィールド(Cyclic Redundancy Checkフィールド)、D7はパリティチェックに用いる偶数パリティである。

【0037】セル組立部14によって、送信データS10はSAR-PDUペイロードD3、送信タイムスタンプS15はCSIビットD4にそれぞれマッピングされ、セルS16が組み立てられる。

【0038】また、図3はセル組立部14において、送信タイムスタンプをセルS16にマッピングする様子の例を示す概念図である。図3の場合、4ビットの送信タイムスタンプS15は1ビットずつの送信タイムスタンプ情報に分割され、8つのセルS16のうちSCフィールドD5が奇数であるセルのCSIビットD4にマッピングされる。

【0039】次に、データ受信装置20について説明する。まず、データ送信装置10から送信されたセルS16は、セル分解部21で分解され、受信データS20はバッファ26に出力され、受信タイムスタンプS21はタイムスタンプ補正手段22に出力される。

【0040】上記受信タイムスタンプS21がタイムスタンプ補正手段22に出力されると、タイムスタンプ補正手段22において、順次入力される受信タイムスタンプS21のうち前回の上記受信タイムスタンプS21と今回の受信タイムスタンプS21との差分が計算され、その差分値を用いて補正された補正タイムスタンプS22が比較器34に出力される。タイムスタンプ補正手段22の詳細な動作は後述する。

【0041】一方、4ビットカウンタ11からは、網クロックS11で無条件にカウントアップされたカウント値S13が比較器23に出力される。また、これと同時に比較器マスクカウンタ24でしきい値を超えるまで網クロックS11でカウントアップされ、しきい値を超えるとイネーブル信号S24がアサートされる。

【0042】上記イネーブル信号S24がアサートされている間、比較器23で、上記4ビットカウンタ11から出力されるカウント値S13と上記タイムスタンプ補正手段22から出力される補正タイムスタンプS22との一致検出が行われ、その結果から上記分周器12から出力された周期T S14を再生して再生周期Tr S23が出力される。

【0043】ここで、上記比較器マスクカウンタ24のしきい値は、周期T S14の取り得る最小値よりも若干小さめの値を用いる。例えば、周波数1.544MHzのソースクロックS12の伝達特性が $\pm 100$ ppmとした場合、周期T S14は網クロックS11換算で47.33~47.35クロック分である。したがって、上記しきい値としては47.30程度を選択しておけばよい。このようにすることで、比較器23は再生周期Tr S23を得ることができる。

【0044】そして、上記比較器23から再生周期Tr



S23が出力されると、比較器マスクカウンタ24はリセットされる。また、上記比較器23から出力された再生周期Tr S23がPLL回路25に入力されると、PLL回路25で上記再生周期Tr S23を用いて位相帰還ループによってクロックが再生され、再生クロックS25が出力される。すると、その再生クロックS25にしたがって上記バッファ26から受信データS26が出力される。このようにして、データ送信装置10の周期T S14をデータ受信装置20で再生周期Tr S23として再生し、受信データを読み出すことができる。

【0045】次に、本実施の形態の主要部分である上記タイムスタンプ補正手段22について詳細に説明する。図4は上記タイムスタンプ補正手段22の構成を示すブロック図である。図4において、31はあらかじめ設定されるデフォルト差分値S30を出力するデフォルト出力手段であり、ここでは、セル分解部21から順次出力される受信タイムスタンプS21のうち連続する2つの受信タイムスタンプの差分値として最も頻繁に発生する値「+14」をデフォルト差分値として出力する。32はセル分解部21から順次出力される受信タイムスタンプS21のうち連続する2つの受信タイムスタンプS21の差分を計算し、その計算差分値S31を出力する差分計算回路である。

【0046】33aは検出信号を出力する検出手段であり、ここでは、図示しないシステム監視部からのリセット信号S32を検出し、リセット信号S32を検出した時にリセット検出信号S33を出力するリセット信号検出手段である。例えば、上記システム監視部33aは、システムの初期起動時、回線障害や装置故障発生からの復旧時、ユーザによる装置のリセット時などのリセット時に上記リセット信号S32を出力する。

【0047】34は上記差分計算回路32から出力される計算差分値S31と上記デフォルト出力手段31から出力されるデフォルト差分値S30のいずれかを選択し、差分値S34として出力するセレクタであり、上記リセット信号検出手段33aから出力されるリセット検出信号S33に基づいて、リセット時は上記デフォルト出力手段31から出力されるデフォルト差分値S30を選択し、リセット時でないときは上記差分計算回路32から出力される計算差分値S31を選択する。35は、前回出力した補正タイムスタンプS22に上記セレクタ34から出力される差分値S34を加算して新たな補正タイムスタンプS22を再帰的に生成して出力する加算器である。

【0048】タイムスタンプ補正手段22の動作について説明する。図5は図4の構成によるタイムスタンプ補正手段22の正常時の動作概念を示す概念図である。上記セル分解部21から出力された受信タイムスタンプS21は、タイムスタンプ補正手段22の差分計算回路3

2に入力される。

【0049】すると、デフォルト出力手段31からデフォルト差分値S30がセレクタ34に出力される。一方、差分計算回路12からは上記セル分解部21から順次出力される受信タイムスタンプS21のうち連続する2つの受信タイムスタンプS21の差分が計算され、計算差分値S31がセレクタ34に出力される。

【0050】例えば、前回、差分計算回路32に受信タイムスタンプS21「14」が入力され、今回、受信タイムスタンプS21「12」が入力された場合、計算差分値S31は、「12-14=+14」となる。

【0051】正常時（リセット時でないとき）には、リセット信号検出手段33aからリセット検出信号S33は出力されないため、セレクタ34では、差分計算回路32から出力された計算差分値S31が選択され、差分値S34が加算器35に出力される。

【0052】すると、加算器35で、上記セレクタ34から出力された差分値S34が前回出力された補正タイムスタンプS22に加算されて、今回の補正タイムスタンプS22として出力される。例えば、上記セレクタ34から出力された計算差分値S31が「+14」であり、前回出力された補正タイムスタンプS22が「8」の場合、今回の補正タイムスタンプS22は「8+(+14)=6」となる。

【0053】このように正常時には、受信タイムスタンプS21から計算された計算差分値S31を用いて補正タイムスタンプが生成され、比較器23に出力される。

【0054】次に、リセット時の動作について説明する。図6は、図4の構成によるタイムスタンプ補正手段22のリセット時の動作概念を示す概念図である。図6において、S21aは、リセット時に受信した受信タイムスタンプである。

【0055】リセット時は、受信した受信タイムスタンプS21aが入力されている間、リセット信号検出手段33aによってリセット信号S32が検出され、リセット検出信号S33がセレクタ34に出力されている。

【0056】一方、リセット時においても正常時と同様に、上記セル分解部21から出力された受信タイムスタンプS21がタイムスタンプ補正手段22の差分計算回路32に入力されると、デフォルト出力手段31からデフォルト差分値S30「+14」がセレクタ34に出力され、差分計算回路12からは計算差分値S31がセレクタ34に出力される。

【0057】すると、セレクタ34では、リセット信号検出手段33aから出力されるリセット検出信号S33に基づいて上記デフォルト出力手段31から出力されたデフォルト差分値S30「+14」が選択され、これが差分値S34として出力される。

【0058】そして、加算器35で、上記セレクタ34から出力された差分値S34が前回出力された補正タイ

ムスタンプS22に加算されて、今回の補正タイムスタンプS22として比較器23に出力される。このように、リセット時は、セクタ34によってデフォルト出力手段31から出力されるデフォルト差分値S30が選択されるため、リセット時の受信タイムスタンプS21aは補正タイムスタンプS22に反映されない。

【0059】リセット時に受信した受信タイムスタンプS21aは、システムの状態が不安定であり、受信のタイミングが変動する。また、特にシステム初期起動時は、受信タイムスタンプS21を受信する前の状態である。よって、計算差分値S31を正確に計算することができないため、リセット時の受信タイムスタンプS21aは補正タイムスタンプS22に反映されないことにより、タイムスタンプ補正手段22はリセット時に補正タイムスタンプS22を生成することができ、データ受信装置20は安定した再生周期Tr S23を再生することができる。

【0060】その後、時間が経過してシステムが正常になると、リセット信号検出手段33aでリセット信号が検出されなくなる。すると、リセット信号検出手段33aからリセット検出信号S33は出力されなくなり、前述の正常時の動作と同様に、セクタ34では、差分計算回路32から出力される計算差分値S31が選択されるようになる。

【0061】以上のように本実施の形態によれば、データ受信装置で、連続する2つの受信タイムスタンプから計算される計算差分値を用いて受信タイムスタンプを補正し、補正タイムスタンプを生成することにより、安定した再生クロックを得ることができる。

【0062】また、データ受信装置で、正常時には連続する2つの受信タイムスタンプから計算される計算差分値を用いて補正タイムスタンプを生成し、リセット時にはあらかじめ設定されるデフォルト差分値を用いて補正タイムスタンプを生成し、その補正タイムスタンプを用いて送信側のソースクロックを再生することにより、正常時に安定した再生クロックを得ることができるだけでなく、システムの初期起動時を含むリセット時ににも大きなじょう乱を与えることなく再生クロックを得ることができる。

【0063】なお、本実施の形態では、連続する2つの受信タイムスタンプから計算差分値を計算する場合について説明したが、これに限定されるものではない。計算差分値は、一定周期間隔の受信タイムスタンプの差分値であればよく、例えば、1つおきの受信タイムスタンプの差分値であっても良い。この場合、再生クロックが安定するまでの時間が多少増加するが、再生クロックのジッタを軽減することができる。

【0064】実施の形態2。前述の実施の形態は、タイムスタンプ補正手段22にリセット信号検出手段33aを設け、リセット時にも安定した再生クロックを得るこ

とができるものであるが、次に、伝送路における障害が発生した場合に安定した再生クロックを得ることができる実施の形態を示す。

【0065】図7は、本実施の形態に係るタイムスタンプ補正手段22の構成を示すブロック図である。前述の実施の形態と同一又は相当部分に同一符号を付し、説明を省略する。13bは検出信号をセクタ34に出力する検出手段であり、ここでは、図2に示されるSCフィールドD5に格納されるセルのシーケンス番号S35を監視して障害を検出し、障害を検出した時に障害検出信号S33をセクタ34に出力する障害検出手段である。また、ここではシーケンス番号S35は、図1に示されるセル分解部21から入力される。なお、障害とはシーケンス番号S35から検出可能な伝送路における障害であり、セルが受信側に到達しないセルロス（セル廃棄）、不要なセルが到達するセル誤挿入、セルの到達順序が乱れるシーケンスエラー等の障害である。

【0066】セクタ34は上記障害検出手段33bから出力される障害検出信号S33に基づいて、障害発生時は上記デフォルト出力手段31から出力されるデフォルト差分値S30を選択し、リセット時でないときは上記差分計算回路32から出力される計算差分値S31を選択して、差分値S34を出力する。

【0067】動作について説明する。図8は、図7の構成によるタイムスタンプ補正手段22の障害発生時の動作概念を示す概念図である。図8において、S21bは、障害発生時に損失したタイムスタンプであり、データ受信装置にタイムスタンプが到達しなかったことを示す。

【0068】正常時（障害が発生しないとき）は、障害検査手段33bによって障害は検出されず、障害検出信号S33がセクタ34に出力されない。したがって、上記セル分解部21から出力された受信タイムスタンプS21がタイムスタンプ補正手段22の差分計算回路32に入力された後、デフォルト出力手段31からデフォルト差分値S30がセクタ34に出力され、差分計算回路32から計算差分値S31がセクタ34に出力されると、セクタ34では上記差分計算回路32から出力された計算差分値S31が選択され、これが差分値S34として加算器35に出力される。

【0069】すなわち、受信タイムスタンプS21が正常に「3、1、14」と伝送されている間は、セクタ34によって上記差分計算回路32から出力された計算差分値S31が選択され、差分値S34として「+13、+14」が順に加算器35に出力される。

【0070】一方、障害発生時は、障害検査手段33bによってシーケンス番号S35から障害が検出され、障害検出信号S33がセクタ34に出力される。すると、上記セル分解部21から出力された受信タイムスタンプS21がタイムスタンプ補正手段22の差分計算回

10

20

30

40

50

路32に入力された後、デフォルト出力手段31からデフォルト差分値S30がセレクタ34に出力され、差分計算回路32から計算差分値S31がセレクタ34に出力されると、セレクタ34によって上記デフォルト出力手段31から出力されたデフォルト差分値S30が選択され、これが差分値S34として加算器35に出力される。

【0071】すなわち、損失したタイムスタンプS21bのように受信タイムスタンプが到達しなかった場合は、セレクタ34によって上記デフォルト出力手段31から出力されたデフォルト差分値S30「+14」が選択され、差分値S34として「+14」が加算器35に出力される。

【0072】上記セレクタ34から加算器35に差分値S34が出力されると、前述の実施の形態と同様に、加算器35で補正タイムスタンプS22が生成され、比較器23に出力される。さらに、比較器23で上記補正タイムスタンプS22を用いて再生周期Tr S23が再生され、PLL回路25で上記再生周期Tr S23を用いてクロックが再生され、再生クロックS25が出力される。

【0073】以上のように本実施の形態によれば、データ受信装置で、正常時には連続する2つの受信タイムスタンプから計算される計算差分値を用いて補正タイムスタンプを生成し、障害発生時にはあらかじめ設定されるデフォルト差分値を用いて補正タイムスタンプを生成し、その補正タイムスタンプを用いて送信側のソースクロックを再生することにより、正常時に安定した再生クロックを得ることができるだけでなく、障害発生時、例えば、伝送路において障害が発生しタイムスタンプが到着しない場合にも大きなじょう乱を与えることなく再生クロックを得ることができる。

【0074】なお、本実施の形態では、連続する2つの受信タイムスタンプから計算差分値を計算する場合について説明したが、計算差分値は、一定周期間隔の受信タイムスタンプの差分値であればよく、これに限定されるものではないことは言うまでもない。

【0075】実施の形態3. 前述の実施の形態では、リセット時や障害発生時にも安定した再生クロックを得ることができるものであるが、次に、不正なタイムスタンプを受信した場合に安定した再生クロックを得ることができる実施の形態を示す。

【0076】図9は、本実施の形態に係るタイムスタンプ補正手段22の構成を示すブロック図である。前述の実施の形態と同一又は相当部分に同一符号を付し、説明を省略する。33cは、差分計算回路12から出力される計算差分値S32を監視し、計算差分値S32がタイムスタンプの差分値としての許容設定範囲の値であるかを判定し、許容設定範囲以外の値である時に不正なタイムスタンプを受信したと判定して不正検出信号S33を

セレクタ34に出力する差分判定手段である。例えば、タイムスタンプ差分値としての許容設定範囲は、+13～+15に設定される。

【0077】セレクタ34は上記差分判定手段33cから出力される不正検出信号S33に基づいて、タイムスタンプ差分値としての許容設定範囲以外の値が発生した時は上記デフォルト出力手段31から出力されるデフォルト差分値S30を選択し、それ以外の時は上記差分計算回路32から出力される計算差分値S31を選択して、差分値S34を出力する。

【0078】動作について説明する。図10は、図9の構成によるタイムスタンプ補正手段22において、タイムスタンプ差分値としての許容設定範囲以外の値が発生した時の動作概念を示す概念図である。

【0079】前述の実施の形態と同様に、上記セル分解部21から出力された受信タイムスタンプS21がタイムスタンプ補正手段22の差分計算回路32に inputs されると、デフォルト出力手段31からデフォルト差分値S30がセレクタ34に出力され、差分計算回路32から計算差分値S31がセレクタ34に出力される。

【0080】これと同時に、上記差分計算回路32からの計算差分値S31は、差分判定手段33cに出力される。すると、上記計算差分値S31は差分判定手段33cでタイムスタンプの差分値としての許容設定範囲の値であるか判定される。

【0081】その結果、上記計算差分値S31が許容設定範囲内の値である時は不正なタイムスタンプを受信したと判定されず、差分判定手段33cから不正検出信号S33は出力されない。この場合、セレクタ34では上記差分計算回路32から出力された計算差分値S31が選択され、これが差分値S34として加算器35に出力される。すなわち、連続する2つの受信タイムスタンプS21の差分値が+13～+15である場合は、セレクタ34によって上記計算差分値S31が選択される。

【0082】一方、上記計算差分値S31が許容設定範囲以外の値である時は不正なタイムスタンプを受信したと判定して、上記差分判定手段33cから不正検出信号S33がセレクタ34に出力される。すると、セレクタ34では上記不正検出信号S33に基づいて上記デフォルト出力手段31から出力されたデフォルト差分値S30が選択され、差分値S34として加算器35に出力される。

【0083】すなわち、例えば、図10において、前回の受信タイムスタンプS21が「14」であり、今回の受信タイムスタンプS21が「9」である場合、計算差分値S31は、「14-9=+11」となる。ところが、「+11」は許容設定範囲(+13～+15)の範囲外であるため、上記差分判定手段33cから不正検出信号S33がセレクタ34に出力され、セレクタ34では上記不正検出信号S33に基づいて上記デフォルト差

分値S30「+14」が選択される。

【0084】上記セレクタ34から加算器35に差分値S34が出力されると、前述の実施の形態と同様に、加算器35で補正タイムスタンプS22が生成され、比較器23に出力される。さらに、比較器23で上記補正タイムスタンプS22を用いて再生周期Tr S23が再生され、PLL回路25で上記再生周期Tr S23を用いてクロックが再生され、再生クロックS25が出力される。

【0085】以上のように本実施の形態によれば、連続する2つの受信タイムスタンプから計算される計算差分値がタイムスタンプ差分値としての許容設定範囲以外の値である時に、あらかじめ設定されるデフォルト差分値を用いて補正タイムスタンプを生成し、その補正タイムスタンプを用いて送信側のソースクロックを再生することにより、正常時に安定した再生クロックを得ることができるだけでなく、タイムスタンプの差分値としての許容設定範囲以外の値が発生した時、例えば、不正なタイムスタンプを受信した時にも大きなじょう乱を与えることなく再生クロックを得ることができる。

【0086】なお、本実施の形態では、連続する2つの受信タイムスタンプから計算差分値を計算する場合について説明したが、計算差分値は、一定周期間隔の受信タイムスタンプの差分値であればよく、これに限定されるものではないことは言うまでもない。

【0087】実施の形態4、前述の実施の形態は、1つの差分値から補正タイムスタンプを生成するものであるが、次に、データ受信装置のカウンタのビット数を拡張し、動作クロックを増加させ、複数の差分値から補正タイムスタンプを生成する実施の形態を示す。

【0088】図11は、本実施の形態に係るタイムスタンプ補正手段22の構成を示すブロック図である。図11において、前述の実施の形態と同一又は相当部分に同一符号を付し、説明を省略する。

【0089】36は、差分計算回路32から出力される計算差分値S31を記憶し、さらに次の計算差分値S31が上記差分計算回路32から出力される時に1回前の計算差分値S36として出力するレジスタである。

【0090】37は、上記差分計算回路32から出力される計算差分値S31及び上記レジスタから出力される1回前の計算差分値S36を加算して総差分値S37を出力する第1加算器である。38は、前回出力した補正タイムスタンプS22に上記第1加算器37から出力される総差分値S37を加算して新たな補正タイムスタンプS22を再帰的に生成して出力する加算器である。

【0091】図12は、本実施の形態に係るデータ受信装置20の構成を示すブロック図である。前述の実施の形態と同一又は相当部分に同一符号を付し、説明を省略する。27は、網クロックS11を入力として、上記第1加算器で加算される計算差分値の数に対応するクロッ

クを生成するクロック生成手段である。ここでは、上記第1加算器で2つの計算差分値が加算されるため、網クロックの2倍のクロックを生成する。

【0092】28は、上記クロック生成手段27によって生成されたクロックでカウントアップしたカウント値S22を出力する拡張カウンタであり、ここでは、上記クロック発生手段27によって動作クロック（網クロック）が2倍になるため、4ビットカウンタを1ビット拡張した5ビットカウンタを用いる。なお、本実施の形態においてカウンタは、上記クロック生成手段27と上記5ビットカウンタから構成される。タイムスタンプ補正手段22は、前述の実施の形態と同様に、補正タイムスタンプS22を生成するが、ここでは5ビットに対応する補正タイムスタンプを生成する。

【0093】動作を説明する。図13は、この場合のタイムスタンプ補正手段22の動作の概念を示す概念図である。前述の実施の形態と同一又は相当部分に同一符号を付し、説明を省略する。S31は差分計算回路32から出力された計算差分値であり、a、b、cの順で出力される。S36は、上記計算差分値S31が出力されるタイミングに合わせて、レジスタ36から出力された前回の計算差分値であり、d、e、fは、それぞれ上記a、b、cと同じものである。S37は、上記第1加算器37から出力された総差分値である。

【0094】まず、前述の実施の形態と同様に、受信タイムスタンプS21が差分計算回路32に入力されると、計算差分値S31が出力される。初期状態において、計算差分値S31a「+14」はレジスタ36に前回の計算差分値S36d「+14」として記憶される。

【0095】そして、次の受信タイムスタンプS21が差分計算回路32に入力されると、差分計算回路32から計算差分値S31b「+14」が出力され、第1加算器37に入力される。これと同時に、上記レジスタ36から前回の計算差分値S36d「+14」が出力され、第1加算器37に入力される。

【0096】すると、第1加算器37で上記計算差分値S31b「+14」と上記前回の計算差分値S36d「+14」が加算され、総差分値S37g「+28」が第2加算器38に入力される。第2加算器38では、その総差分値S37g「+28」が前回出力された補正タイムスタンプ「11」に加算され、新たな補正タイムスタンプS22「7」が出力される。

【0097】このように、今回の計算差分値S31と前回の計算差分値S36を加算した総差分値S37から拡張ビットに対応する補正タイムスタンプS22を生成することで、補正タイムスタンプの誤差（変動）を平均化し、再生周期Tr S23へ与える誤差を平均化することができ、再生クロックS25のジッタを軽減することができる。

【0098】すなわち、送信側でタイムスタンプをデジ

タルの的に近似することから、受信側で計算差分値に乱れが生じる。例えば、計算差分値S31において計算差分値S31cのみが「+13」となる。このため、受信側の補正タイムスタンプを拡張しない場合は、この部分で補正タイムスタンプにずれが生じ、この補正タイムスタンプを用いて生成する再生周期 $T_r$  S23に乱れ、再生クロックS25にジッタが生じる。

【0099】これに対して、受信側の補正タイムスタンプを拡張する場合は、総差分値S37で「+27」が2回繰り返される。つまり、「+27」を通常の網クロックに換算すると、「+13.5」であり、再生周期 $T_r$  S23へ与える誤差を平均化することができる。したがって、平均化された再生周期 $T_r$  S23を用いてクロック再生することができ、再生クロックS25のジッタを軽減することができる。

【0100】以上のように本実施の形態によれば、データ受信装置の4ビットカウンタを1ビット拡張し、動作クロックを2倍に増加させ、今回の計算差分値と前回の計算差分値を加算した総差分値から拡張ビットに対応する補正タイムスタンプを生成することにより、誤差(変動)の少ない補正タイムスタンプを生成することができ、再生周期 $T_r$  S23へ与える誤差を平均化することができるため、再生クロックのジッタを軽減することができる。

【0101】なお、本実施の形態では、4ビットカウンタを1ビット拡張し、動作クロックを2倍に増加させ、2つの差分値の総差分値から補正タイムスタンプを生成する場合について説明したが、これに限定されるものではない。N(Nは自然数)ビットカウンタをk(kは自然数)ビット拡張し、動作クロックをm倍(mは2のk乗)に増加させ2<sup>k</sup>個の差分値の総差分値から補正タイムスタンプを生成するようにしても良い。

【0102】この場合、クロック生成手段は、拡張ビット数kに対応するクロックを生成するように構成し、拡張カウンタはN+kビットカウンタを用いる。また、タイムスタンプ補正手段は、例えば、図14に示すような構成にする。図14は、N+kビットカウンタを用いる場合のタイムスタンプ補正手段の構成を示すブロック図であり、図11と同一又は相当部分に同一符号を付し、説明を省略する。

【0103】36は、差分計算回路32から出力される計算差分値を記憶するレジスタ群であり、後述する2<sup>k-1</sup>個のレジスタで構成される。361は、上記差分計算回路32から出力される計算差分値S31を記憶し、さらに次の計算差分値S31が上記差分計算回路32から出力される時に1回前の計算差分値S361として出力する第1レジスタである。362は、上記第1レジスタから出力される1回前の計算差分値S361を記憶し、さらに次の計算差分値S31が上記差分計算回路32から出力される時に2回前の計算差分値S362とし

て出力する第2レジスタである。同様に、363は、第2<sup>k-2</sup>レジスタから出力される2<sup>k-2</sup>回前の計算差分値を記憶し、さらに次の計算差分値S31が上記差分計算回路32から出力される時に2<sup>k-1</sup>回前の計算差分値S363として出力する第2<sup>k-1</sup>レジスタである。

【0104】このように、データ受信装置のカウンタをkビット拡張し、動作クロックをm倍(mは2のk乗)に増加させ、k個の計算差分値を加算した総差分値からN+kビットに対応する補正タイムスタンプを生成することにより、加算する計算差分値の数kが大きいほど計算量及びレジスタ数は増加するが、再生クロックのジッタをより軽減することができる。

【0105】また、連続する2つの受信タイムスタンプから計算差分値を計算する場合について説明したが、計算差分値は、一定周期間隔の受信タイムスタンプの差分値であればよく、これに限定されるものではないことは言うまでもない。

【0106】実施の形態5. 前述の実施の形態は、データ受信装置にセルが到達するタイミングに応じて補正タイムスタンプを生成するものであるが、次に、セル遅延ゆらぎに応じて補正タイムスタンプを生成する実施の形態を示す。

【0107】図15は、本実施の形態に係るデータ受信装置20の構成を示すブロック図である。前述の実施の形態と同一又は相当部分に同一符号を付し、説明を省略する。バッファ26は、セル分解部21で分解されて出力される受信データS20を蓄積するデータバッファと受信タイムスタンプS21を蓄積するタイムスタンプバッファとから構成され、上記受信データS20及び受信タイムスタンプS21を一旦蓄積し、PLL回路25から出力された再生クロックS25に従って受信データS26及び受信タイムスタンプS21を出力する。

【0108】動作について説明する。データ送信装置10から送信されたセルは、セル分解部21で受信データS20と受信タイムスタンプS21に分解され、上記分解された受信データS20及び受信タイムスタンプS21は、バッファ26に蓄積される。この時、バッファ26には伝送路のセル遅延ゆらぎの状況に応じて1又は複数の受信タイムスタンプS21が蓄積される。

【0109】上記バッファ26に蓄積された受信タイムスタンプS21は、PLL回路25から出力される再生クロックS25に従って読み出され、タイムスタンプ補正手段22に出力される。

【0110】以降、前述の実施の形態と同様に、タイムスタンプ補正手段22から補正タイムスタンプS22が比較器23に出力され、比較器23で再生周期 $T_r$  S23が再生される。そして、PLL回路25で上記再生周期 $T_r$  S23を用いてクロックが再生され、再生クロックS25が出力される。

【0111】以上のように本実施の形態によれば、受信

タイムスタンプをバッファに一旦蓄積し、再生クロックに従ってバッファから読み出すことにより、伝送路におけるセル遅延ゆらぎの影響を受信タイムスタンプが受けないようにすることができ、再生クロックの乱れを抑えることができる。

【0112】実施の形態6. 前述の実施の形態は、セル組立部でセルに送信タイムスタンプをマッピングする際に、シーケンス番号が奇数のセル（以下、奇数セルと称す。）に送信タイムスタンプをマッピングするものであるが、次に、シーケンス番号が偶数のセル（以下、偶数セルと称す。）にも送信タイムスタンプをマッピングし、受信タイムスタンプの損失を補う実施の形態を示す。

【0113】図16は、本実施の形態において、セル組立部14が送信タイムスタンプをセルにマッピングする様子を示す概念図である。前述の実施の形態と同一部分に同一符号を付し、説明を省略する。セル組立部14は、送信データとラッチ13から出力される送信タイムスタンプとを用いてセルを組み立てて送信する際に、上記送信タイムスタンプを構成する同一の送信タイムスタンプ情報を複数のセルにマッピングする。

【0114】動作を説明する。上記セル組立部14では、4ビットの送信タイムスタンプS15を8つのセルにマッピングする際に、上記4ビットの送信タイムスタンプS15の各1ビットの送信タイムスタンプ情報を連続する2つずつのセル（奇数セルと偶数セル）にマッピングする。すなわち、図16において、奇数セルC1に送信タイムスタンプS15の1ビットの送信タイムスタンプ情報をマッピングした後、続く偶数セルC2にも同じ1ビットの送信タイムスタンプ情報をマッピングする。同様に、奇数セルC3と偶数セルC4、奇数セルC5と偶数セルC6、奇数セルC7と偶数セルC8にそれぞれ同じ1ビットずつの送信タイムスタンプ情報をマッピングする。

【0115】データ受信装置20では、シーケンス番号から検出可能な伝送路における障害、例えば、前述の障害検出手段33bが奇数セルのセルロスを検出した際に、偶数セルの受信タイムスタンプS21の情報を参照して受信タイムスタンプの情報の損失を補う。

【0116】そして、タイムスタンプ補正手段22から上記補った受信タイムスタンプの情報をを用いて作成された補正タイムスタンプが比較器23に出力され、比較器23で再生周期 $T_r$  S23が再生される。さらに、PLL回路25で上記再生周期 $T_r$  S23を用いてクロックが再生され、再生クロックS25が出力される。

【0117】以上のように本実施の形態によれば、送信側で4ビットの送信タイムスタンプの各1ビットの送信タイムスタンプ情報を連続する2つずつのセル（奇数セルと偶数セル）にマッピングし、受信側で奇数セルの伝送路における障害を検出した際に、偶数セルの受信タイ

ムスタンプの情報を参照して受信タイムスタンプの情報を損失を補うことにより、単発的なセルロスが発生しても、データ受信装置で受信タイムスタンプの損失を補うことができ、安定した再生クロックを得ることができる。

【0118】なお、本実施の形態では、4ビットの送信タイムスタンプを8つのセルにマッピングする場合について説明したが、これに限定されるものではなく、システムに応じて送信タイムスタンプのビット幅及びセル数を変更しても、本実施の形態と同様の効果を得ることができる。

【0119】また、送信タイムスタンプの各1ビットの送信タイムスタンプ情報を連続する2つずつのセル（奇数セルと偶数セル）にマッピングする場合について説明したが、送信タイムスタンプ情報を複数のセルにマッピングするものであればよく、これに限定されるものではない。

【0120】例えば、図17に示すように、奇数セルに送信タイムスタンプS15の1ビットずつの送信タイムスタンプ情報をマッピングした後、次の8セル周期の偶数セルに同じ送信タイムスタンプ情報をマッピングするようにしても良い。これにより、複数のセルが損失した場合にも、データ受信装置で次の8セル周期の受信タイムスタンプの情報を参照することにより、受信タイムスタンプの損失を補うことができる。さらにまた、奇数セルと偶数セルに関係なく同一の送信タイムスタンプ情報を複数のセルにマッピングしても同様の効果を得ることができる。

【0121】なお、本明細書では、発明の各実施の形態について別個に記述したが、これらの構成を複数組み合わせることも当然可能である。また、発明の各実施の形態ではATM通信をモデルに記述したが、本発明の内容はATM通信以外にも適用できるものである。

【0122】

【発明の効果】以上のように、本発明のソースクロック再生装置によれば、網クロックをカウントアップして得られるカウント値とソースクロックを分周して得られる周期との差分情報でなる送信側で生成された送信タイムスタンプを伝送路を介して受信し、当該受信タイムスタンプを補正して補正タイムスタンプを生成し、その補正タイムスタンプを用いてソースクロックを再生することにより、安定した再生クロックを得ることができる。

【0123】また、次の発明のソースクロック再生装置によれば、順次受信される複数の上記受信タイムスタンプのうち一定周期間隔で受信される2つの受信タイムスタンプの差分である計算差分値と、あらかじめ設定されるデフォルト差分値とのいずれかを選択し、当該選択した差分値を用いて補正タイムスタンプを生成し、その補正タイムスタンプを用いてソースクロックを再生することにより、正常時に安定した再生クロックを得ることが



できるだけなく、いかなる状態においても大きなじょう乱を与えることがなく再生クロックを得ることができる。

【0124】また、次の発明のソースクロック再生装置によれば、リセット時及び又は伝送路における障害発生時に、あらかじめ設定されるデフォルト差分値を選択して補正タイムスタンプを生成し、その補正タイムスタンプを用いてソースクロックを再生することにより、正常時に安定した再生クロックを得ることができるだけでなく、特に、初期起動時、リセット時、セル廃棄発生時及び又は伝送路における障害発生時においても大きなじょう乱を与えることがなく再生クロックを得ることができる。

【0125】また、次の発明のソースクロック再生装置によれば、順次受信される複数の上記受信タイムスタンプのうち一定周期間隔で受信される2つの受信タイムスタンプから計算される計算差分値がタイムスタンプ差分値としての許容設定範囲以外の値である時に、あらかじめ設定されるデフォルト差分値を用いて補正タイムスタンプを生成し、その補正タイムスタンプを用いてソースクロックを再生することにより、正常時に安定した再生クロックを得ることができるだけでなく、特に、タイムスタンプの差分値としての許容設定範囲以外の値が発生した時、例えば、不正なタイムスタンプを受信した時にも大きなじょう乱を与えることがなく再生クロックを得ることができる。

【0126】また、次の発明のソースクロック再生装置によれば、カウンタを拡張し、動作クロックを増加させ、過去の計算差分値を含む複数の計算差分値を加算した総差分値を用いて補正タイムスタンプを生成することにより、誤差(変動)の少ない補正タイムスタンプを生成することができ、再生周期へ与える誤差を平均化することができるため、再生クロックのジッタを軽減することができる。

【0127】また、次の発明のソースクロック再生装置によれば、受信タイムスタンプをタイムスタンプバッファに一旦蓄積し、再生クロックに従ってバッファから読み出してタイムスタンプ補正手段に出力することにより、伝送路におけるセル遅延ゆらぎの影響を受信タイムスタンプが受けないようにすることができ、再生クロックの乱れを抑えることができる。

【0128】さらにまた、次の発明のデータ送信装置によれば、送信データと送信タイムスタンプとを用いてセルを組み立てて送信する際に、上記送信タイムスタンプを構成する同一の送信タイムスタンプ情報を複数のセルにマッピングすることにより、受信側で受信タイムスタンプの損失を補うことができ、セル廃棄発生時又は障害発生時にも安定した再生クロックを得ることができる。

【0129】さらにまた、次の発明のデータ受信装置によれば、受信タイムスタンプを構成する複数の同一の受

信タイムスタンプ情報のいずれかを参照して上記受信タイムスタンプ情報を補い、当該受信タイムスタンプを補正することにより、セル廃棄発生時又は障害発生時にも安定した再生クロックを得ることができる。

【0130】さらにまた、次の発明のデータ伝送システムによれば、送信側で送信データと送信タイムスタンプとを用いてセルを組み立てて送信する際に、上記送信タイムスタンプを構成する同一の送信タイムスタンプ情報を複数のセルにマッピングし、受信側で受信タイムスタンプを構成する複数の同一の受信タイムスタンプ情報のいずれかを参照して上記受信タイムスタンプ情報を補い、当該受信タイムスタンプを補正することにより、セル廃棄発生時又は障害発生時にも安定した再生クロックを得ることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係るデータ伝送システムの構成を示すブロック図である。

【図2】 セルの構成を示す概念図である。

【図3】 本発明の実施の形態1において送信タイムスタンプをセルにマッピングする様子を示す概念図である。

【図4】 本発明の実施の形態1に係るタイムスタンプ補正手段の構成を示すブロック図である。

【図5】 タイムスタンプ補正手段の正常時の動作概念を示す概念図である。

【図6】 タイムスタンプ補正手段のリセット時の動作概念を示す概念図である。

【図7】 本発明の実施の形態2に係るタイムスタンプ補正手段の構成を示すブロック図である。

【図8】 タイムスタンプ補正手段の障害発生時の動作概念を示す概念図である。

【図9】 本発明の実施の形態3に係るタイムスタンプ補正手段の構成を示すブロック図である。

【図10】 タイムスタンプ補正手段の許容設定範囲以外の計算差分値が発生した時の動作概念を示す概念図である。

【図11】 本発明の実施の形態4に係るタイムスタンプ補正手段の構成を示すブロック図である。

【図12】 本発明の実施の形態4に係るデータ受信装置の構成を示すブロック図である。

【図13】 本発明の実施の形態4に係るタイムスタンプ補正手段の動作の概念を示す概念図である。

【図14】  $N+k$ ビットカウンタを用いる場合のタイムスタンプ補正手段の構成を示すブロック図である。

【図15】 本発明の実施の形態5に係るデータ受信装置の構成を示すブロック図である。

【図16】 本発明の実施の形態6において送信タイムスタンプを連続するセルにマッピングする様子を示す概念図である。

【図17】 本発明の実施の形態6において送信タイム

スタンプを8周期のセルにマッピングする様子を示す概念図である。

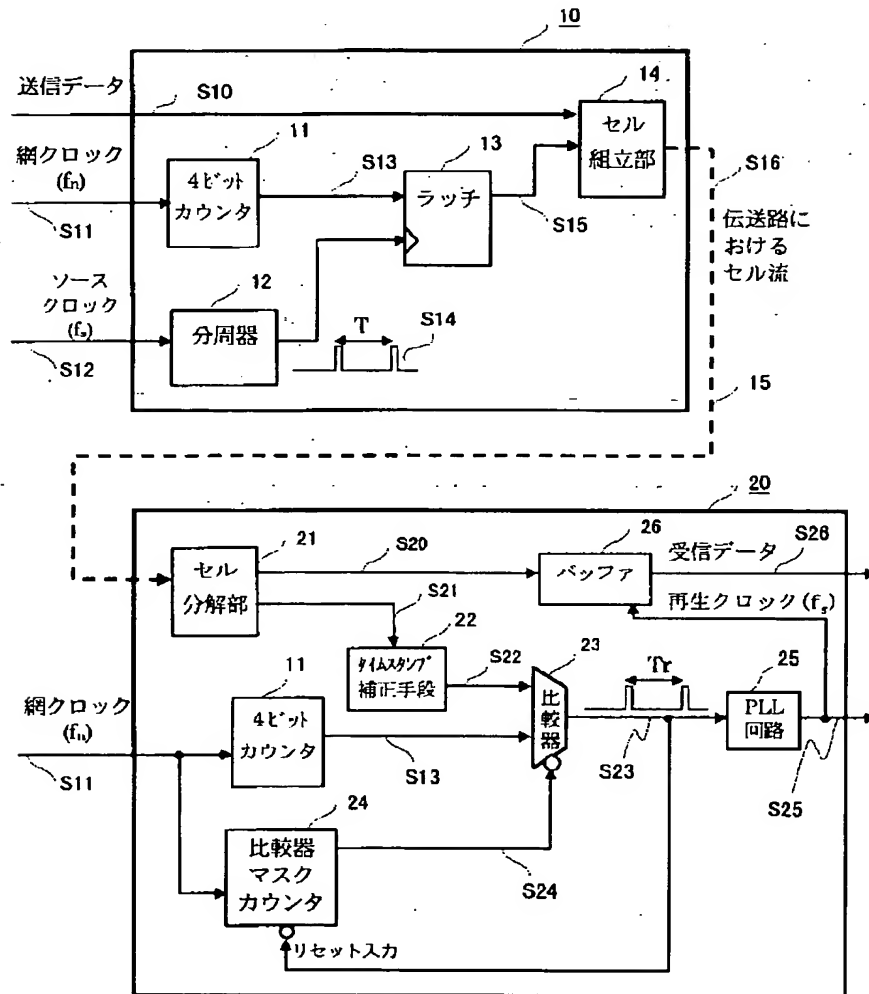
【図18】 従来のクロック再生回路の構成を示すブロック図である。

【符号の説明】

- |             |                     |              |                  |       |           |             |             |        |        |          |        |
|-------------|---------------------|--------------|------------------|-------|-----------|-------------|-------------|--------|--------|----------|--------|
| 1 SARヘッダ分離部 | 2 シーケンス番号周波数差分情報検出部 | 3 シーケンス番号監視部 | 4 周波数差分情報管理予割処理部 | 5 メモリ | 6 クロック再生部 | 10 3ビットカウンタ | 11 4ビットカウンタ | 12 分周器 | 13 ラッチ | 14 セル組立部 | 15 伝送路 |
|-------------|---------------------|--------------|------------------|-------|-----------|-------------|-------------|--------|--------|----------|--------|

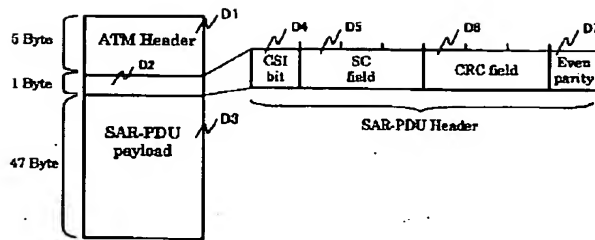
- |              |          |                |        |               |          |         |             |             |              |           |                 |             |             |        |          |           |
|--------------|----------|----------------|--------|---------------|----------|---------|-------------|-------------|--------------|-----------|-----------------|-------------|-------------|--------|----------|-----------|
| * 20 データ受信装置 | 21 セル分解部 | 22 タイムスタンプ補正手段 | 23 比較器 | 24 比較器マスクカウンタ | 25 PLL回路 | 26 バッファ | 27 クロック生成手段 | 28 5ビットカウンタ | 31 デフォルト出力手段 | 32 差分計算回路 | 33 a リセット信号検出手段 | 33 b 障害検出手段 | 33 c 差分判定手段 | 35 加算器 | 37 第1加算器 | C0~C15 セル |
|--------------|----------|----------------|--------|---------------|----------|---------|-------------|-------------|--------------|-----------|-----------------|-------------|-------------|--------|----------|-----------|

【図1】

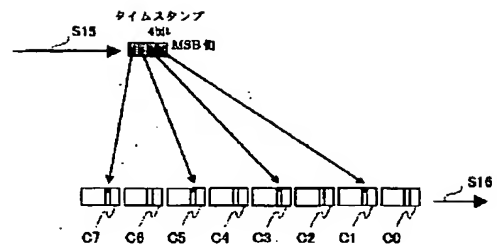




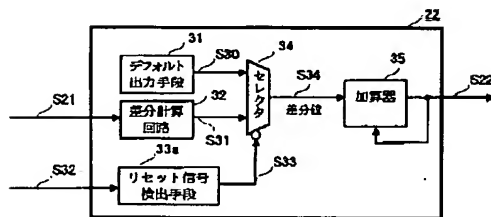
【図2】



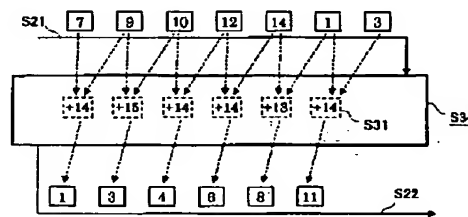
【図3】



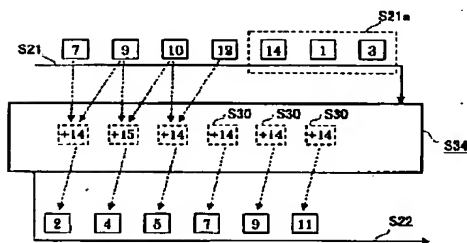
【図4】



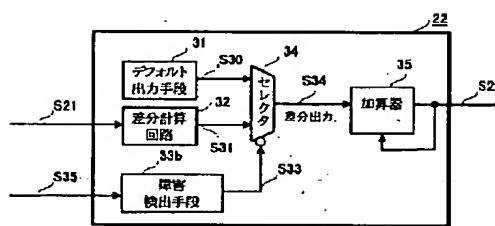
【図5】



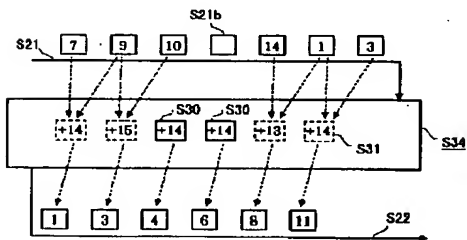
【図6】



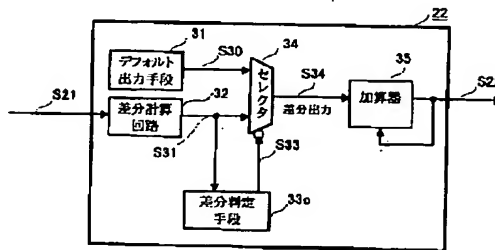
【図7】



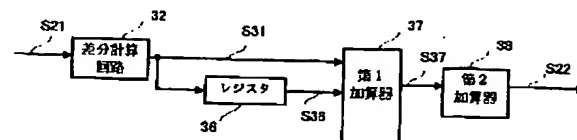
【図8】



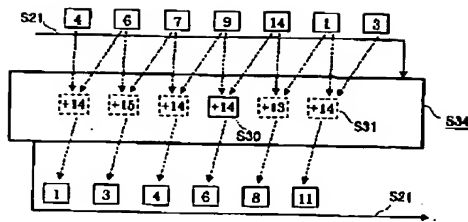
【図9】



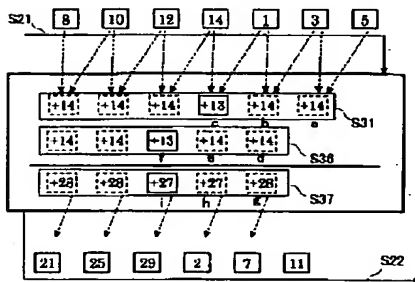
【図11】



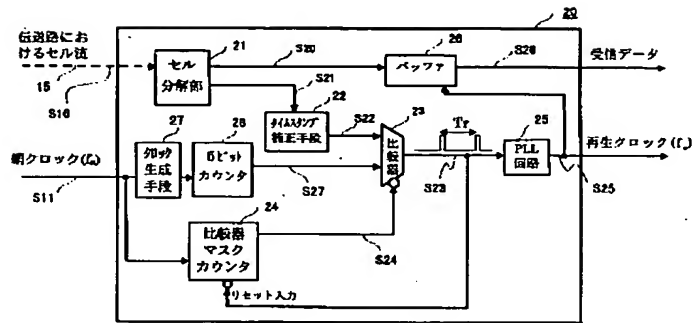
【図10】



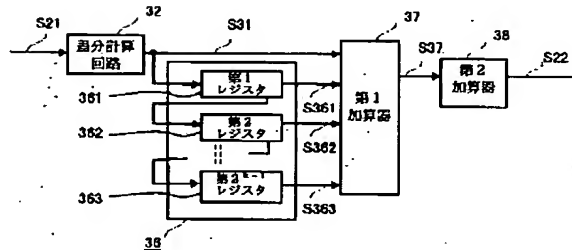
【図13】



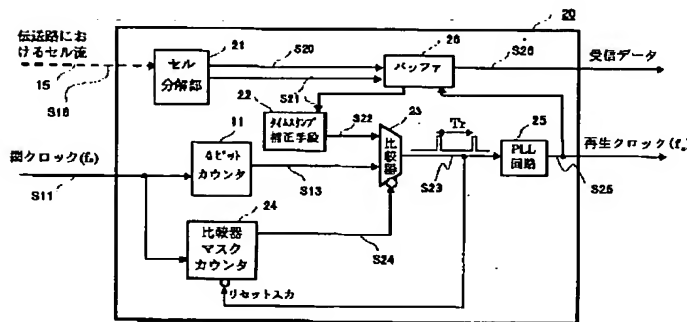
【図12】



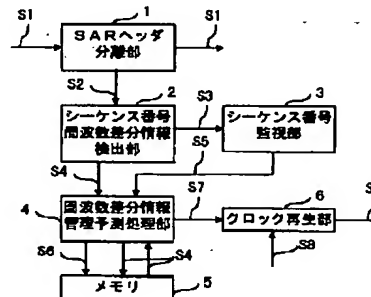
【図14】



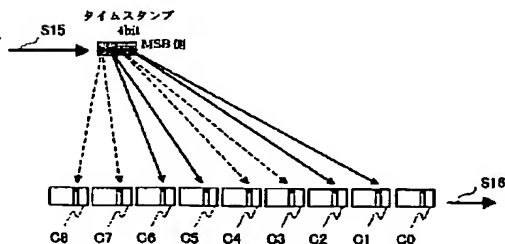
【図15】



【図18】



【図16】



【図17】

